مدرسان شریف

فهرست مطالب

عنوان **صفحه**

فصل اول: «سیستم‌ها و مبناهای عددی»

درسنامه (۱): نمایش اعداد و تبدیل مبناها ۱

رقم و عدد ۱

مبناهای عددی ۱

تبدیل از سایر مبناها به مبنای ۱۰ ..... ۲

تبدیل از مبنای ۱۰ به مبنای ۲ ..... ۳

تبدیل از مبنای ۱۰ به مبنای ۸ ..... ۴

تبدیل از مبنای ۱۰ به مبنای ۱۶ ..... ۴

تبدیل از مبنای ۲ به مبنای ۸ ..... ۴

تبدیل از مبنای ۲ به مبنای ۱۶ ..... ۴

تبدیل از مبنای ۸ به مبنای ۲ ..... ۵

تبدیل از مبنای ۱۶ به مبنای ۲ ..... ۵

تبدیل از مبنای ۸ به ۱۶ و ۱۶ به ۸ ..... ۵

درسنامه (۲): محاسبات در مبناهای عددی ۶

جمع در مبناهای مختلف عددی ۶

مکمل‌گیری از اعداد ۶

نمایش اعداد علامت‌دار ۶

محاسبات در سیستم مکمل دو ۸

تفریق کردن اعداد ۹

درسنامه (۳): نمایش اعداد اعشاری ۱۰

درسنامه (۴): کد کردن اطلاعات ۱۲

کد همینگ (Hamming code) ۱۴

کد هافمن (Haffman coding) ۱۴

فصل دوم: «مدارهای منطقی»

درسنامه (۱): متغیرها و گیت‌های منطقی ۱۶

گیت‌های اولیه ۱۷

گیت‌های (عملیات) ترکیبی ۱۸

درسنامه (۲): تابع منطقی و ساده‌سازی جبری ۲۶

تابع منطقی ۲۶

معادل بودن مدارهای منطقی و توابع منطقی ۲۷

ساده‌سازی توابع منطقی ۲۷

مدرسان شریف

فهرست مطالب

عنوان | **صفحه**

اتحادهای مورد نیاز برای ساده‌سازی توابع منطقی ۲۷
قوانین دمرگان ۲۸
درسنامه (۳): روش‌های نمایش توابع ۳۱
مین‌ترم Minterm ۳۱
ماکسترم Maxterm ۳۱
جدول صحت (درستی) ۳۱
روش جمع حاصل‌ضرب‌ها Sum Of Product (SOP) ۳۲
روش ضرب حاصل‌جمع‌ها Product Of Sum (POS) ۳۲
نمایش تابع به صورت جمع حاصل‌ضرب متعارف (sop متعارف / استاندارد) ۳۲
نمایش تابع به صورت ضرب حاصل‌جمع متعارف (pos متعارف / استاندارد) ۳۳
درسنامه (۴): گیت‌های کامل و پیاده‌سازی دوسطحی ۳۵
گیت‌های کامل ۳۵
درسنامه (۵): خانواده‌های منطقی و مدارهای الکترونیکی داخلی ۴۰
تعاریف اولیه ۴۰
خانواده TTL ۴۱
خانواده CMOS ۴۱
ساختار داخلی خانواده‌های منطقی ۴۳

فصل سوم: «ساده‌سازی توابع منطقی»

درسنامه (۱): ساده‌سازی توابع به کمک جدول کارنو ۵۲
برای یک تابع n متغیره یک جدول کارنو دارای شرایط ذیل است. ۵۲
تابع سه متغیر $n=3$ $F(a,b,c)$ ۵۲
تابع چهار متغیره $n=4$ $F(a,b,c,d)$ ۵۲
تابع پنج متغیره $n=5$ $F(a,b,c,d,e)$ ۵۳
ساده‌سازی توسط جدول کارنو ۵۴
درسنامه (۲): حالات بی‌اهمیت (Don't care) در جدول کارنو ۶۱
تعریف ۶۱
استفاده از حالات بی‌اهمیت در ساده‌سازی جدول کارنو ۶۱
درسنامه (۳): ساده‌سازی توابع به کمک جدول کوییـن ـ مک‌کلاسکی ۶۹
مزیت روش کوییین مک‌کلاسکی نسبت به روش جدول کارنو ۶۹
ساده‌سازی توابع دارای حالات بی‌اهمیت توسط جدول‌بندی کوییین مک‌کلاسکی ۶۹
طراحی توابع منطقی (طراحی یک مدار منطقی) ۷۰
بعضی از ترکیبات ورودی‌ها، خروجی ندارند (توابع ناکامل) ۷۰

مدرسان شریف

فهرست مطالب

عنوان | **صفحه**

درسنامه (۴): تأخیر انتشار (Propagation Delay) و مخاطره (Hazard)..... ۷۱
تأخیر انتشار ۷۱
مخاطره (Hazard) ۷۲
انواع مخاطره (Hazard) ۷۲
مخاطره تابعی و مخاطره منطقی ۸۷

فصل چهارم: «مدارهای منطقی ترکیبی»

درسنامه (۱): مقایسه‌گرها ۸۸
مقایسه‌گر ناقص ۸۸
مقایسه‌گر کامل ۸۹
درسنامه (۲): جمع‌کننده و تفریق‌کننده‌ها ۹۲
جمع‌کننده ناقص Half Addrr (H.A) ۹۲
جمع‌کننده کامل Full Adder (F.A) ۹۴
ساختن تمام جمع‌کننده با استفاده از تیم جمع‌کننده ۹۵
مدار جمع‌کننده کامل n بیتی ۹۶
مدار جمع‌کننده / تفریق‌کننده دودویی n بیتی ۱۰۲
جمع‌کننده BCD ۱۰۳
تفریق‌کننده (BCD Subtractor) ۱۰۴
جمع‌کننده ارقام افزونه ۳ (Excess-3 Adder) ۱۰۵
تفریق‌کننده افزونه ۳ (Excess-3 Subtractor) ۱۰۵
تفریق‌کننده ناقص Half Subtractor ۱۰۹
تفریق‌کننده کامل Full Subtractor ۱۱۰
درسنامه (۳): مدارهای تابعی ۱۱۱
دیکدر (رمزگشا) Decoder ۱۱۱
مالتی‌پلکسر (Mux) ۱۱۷
دی‌مالتی پلکسر یا توزیع‌کننده (1×2^n Demux) ۱۳۴
ساختن دی‌مالتی پلکسر (Demax)های بزرگ‌تر با دی‌مالتی پلکسرهای کوچک‌تر ۱۳۵
انکدر (Encoder) ۱۳۷
ساختن انکدرهای بزرگ‌تر با استفاده از انکدرهای کوچک‌تر ۱۳۷
درسنامه (۴): حافظه‌ها و آرایه‌های قابل برنامه‌ریزی ۱۳۹
PROM (Programmable Read Only Memory) ۱۳۹
آرایه منطقی قابل برنامه‌ریزی PLA (Programmable Logic Array) ۱۴۱
Programmable Array Logic (PAL) ۱۴۵

مدرسان شریف

فهرست مطالب

عنوان | **صفحه**

فصل پنجم: «مدارهای منطقی ترتیبی»

درسنامه (۱): مدارهای ترتیبی و عناصر حافظه (لچ و فلیپ‌فلاپ) ۱۴۶

مدارهای ترتیبی ۱۴۶

عناصر حافظه ۱۴۶

لچ ست ـ ری‌ست Set – Reset latch یا SR- latch ۱۴۸

فلیپ‌فلاپ Flip – Flop ۱۵۱

ساختن فلیپ‌فلاپ‌ها توسط فلیپ‌فلاپ‌های دیگر ۱۶۵

فلیپ فلاپ‌های پایه ـ پیرو (Master - Slave) ۱۶۵

فلیپ فلاپ با راه‌اندازی لبه‌ای (Edge - Trigger) ۱۶۸

درسنامه (۲): تحلیل مدارهای ترتیبی ۱۷۱

تحلیل مدارهای ترتیبی ساعت‌دار ۱۷۱

مدل‌های میلی و مور ۱۹۶

درسنامه (۳): طراحی مدارهای ترتیبی ۲۰۶

طراحی مدارهای ترتیبی همزمان ۲۰۶

کاهش حالات ۲۲۱

فصل ششم: «واحدهای منطقی ترتیبی»

درسنامه (۱): ثبات یا Register ۲۲۷

ثبات با استفاده از D- FF ۲۲۷

ثبات با استفاده از RS- FF ۲۲۷

ثبات با استفاده از JK- FF ۲۲۸

ثبات با استفاده از T- FF ۲۲۸

ثبات دارای ورودی کنترل‌کننده بار شدن (Load) ۲۲۸

ثبات انتقالی (Shift Register) ۲۳۴

ثبات انتقالی ورودی سریال، خروجی سریال Serial Input Serial output (SISO) ۲۳۶

ثبات انتقالی ورودی سریال، خروجی موازی Serial Input Parallel output (SIPO) ۲۳۶

ثبات انتقالی ورودی موازی، خروجی سریال Parallel input Serial output (PISO) ۲۳۸

ثبات انتقالی ورودی موازی، خروجی موازی، شیفت به دو طرف ۲۳۹

جمع‌کننده سریال ۲۴۰

درسنامه (۲): شمارنده حلقوی (Ring Counter) و حلقوی تابیده ۲۴۱

شمارنده حلقوی Ring Counter ۲۴۱

شمارنده حلقوی تابیده یا شمارنده جانسون ۲۴۴

مدرسان شریف

فهرست مطالب

عنوان	صفحه
درسنامه (۳): شمارنده‌های همگام	**۲۴۶**
تقسیم‌کننده / ضرب‌کننده فرکانس	۲۴۶
نحوه محاسبه تأخیر انتشار در مدارهای ترتیبی	۲۴۶
شمارنده‌های همگام	۲۴۸
درسنامه (۴): شمارنده‌های غیرهمگام	**۲۷۳**
فصل هفتم: «زبان توصیف سخت‌افزار»	
درسنامه (۱): شبیه‌سازی مدارات ترکیبی	**۲۸۱**
زبان توصیف سخت‌افزار (Hard ware Description Language)	۲۸۱
تعریف تابع یا گیت جدید در Verilog	۲۸۳
انواع مقادیر و ورودی‌های چندبیتی در Verilog	۲۸۳
گیت‌های با خروجی سه حالته در Verilog	۲۸۴
سطوح توصیف ماژول (مدار) در زبان Verilog	۲۸۵
درسنامه (۲): شبیه‌سازی مدارات ترتیبی	**۲۸۷**
استفاده از Verilog برای توصیف مدارهای ترتیبی	۲۸۷
توصیف فلیپ‌فلاپ‌ها در Verilog	۲۸۷
توصیف دیاگرام حالت با زبان Verilog	۲۸۸
آزمون‌های خودسنجی	۲۹۷
سؤالات آزمون دکتری ۱۴۰۴	۳۰۴
پاسخنامه آزمون دکتری ۱۴۰۴	۳۰۵
سؤالات آزمون کارشناسی ارشد ۱۴۰۴ ـ مهندسی کامپیوتر	۳۰۷
پاسخنامه آزمون کارشناسی ارشد ۱۴۰۴ ـ مهندسی کامپیوتر	۳۰۸
سؤالات آزمون کارشناسی ارشد ۱۴۰۴ ـ مهندسی برق	۳۰۹
پاسخنامه آزمون کارشناسی ارشد ۱۴۰۴ ـ مهندسی برق	۳۱۰
منابع و مراجع	۳۱۲